

Family list

2 family member for:

JP2002041160

Derived from 1 application.

**1 POWER CONTROLLER AND POWER CONTROL METHOD AND RECORDING
MEDIUM WITH POWER CONTROL PROGRAM RECORDED**

Publication Info: JP3475237B2 B2 - 2003-12-08

JP2002041160 A - 2002-02-08

Data supplied from the **esp@cenet** database - Worldwide

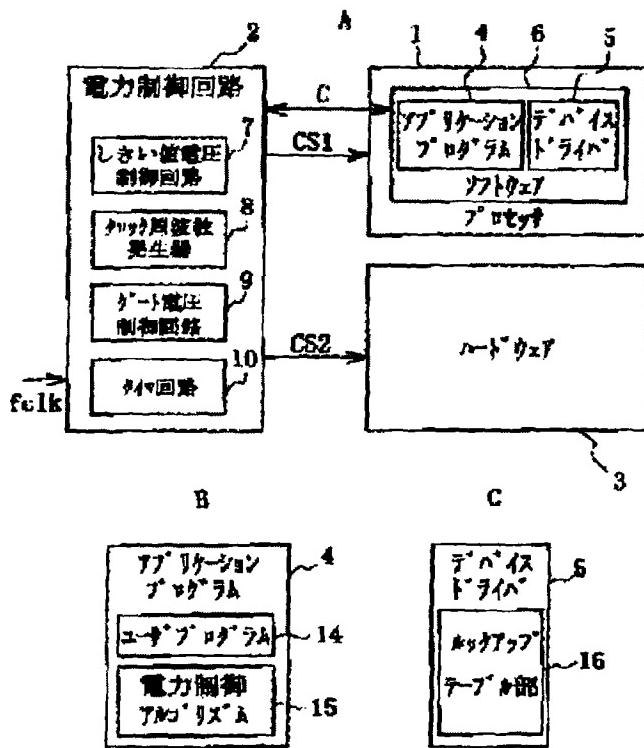
POWER CONTROLLER AND POWER CONTROL METHOD AND RECORDING MEDIUM WITH POWER CONTROL PROGRAM RECORDED

Patent number: JP2002041160
Publication date: 2002-02-08
Inventor: SAKURAI TAKAYASU; KAWAGUCHI HIROSHI; NOSE KOICHI
Applicant: UNIV TOKYO
Classification:
 - international: G05F3/24; H01L21/822; H01L27/04; H01L21/8238; H01L27/092;
 G05F3/08; H01L21/70; H01L27/04; H01L27/085; (IPC1-7):
 H01L21/8238; H01L27/092; G05F3/24; H01L21/822; H01L27/04
 - european:
Application number: JP20000221676 20000724
Priority number(s): JP20000221676 20000724

[Report a data error here](#)

Abstract of JP2002041160

PROBLEM TO BE SOLVED: To perform the real time processing of a CMOS semiconductor circuit with optimal power consumption. **SOLUTION:** A threshold voltage control circuit 7 controls the threshold voltages of the NMOS element and PMOS element of a CMOS semiconductor circuit included in hardware 3. A processor 1 transmits a command to a voltage control circuit 2 by software so that the threshold voltages can be dynamically controlled according to at least two modes corresponding to at least two operating speeds.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-41160

(P 2002-41160 A)

(43)公開日 平成14年2月8日(2002.2.8)

(51) Int. Cl. 7
G05F 3/24
H01L 27/04
21/822
// H01L 21/8238
27/092

識別記号

F I
G05F 3/24
H01L 27/04
27/08

テマコード (参考)
Z 5F038
B 5F048
321
D 5H420

審査請求 有 請求項の数18 O L (全12頁)

(21)出願番号 特願2000-221676(P 2000-221676)

(71)出願人 391012327

東京大学長

(22)出願日 平成12年7月24日(2000.7.24)

東京都文京区本郷7丁目3番1号

(72)発明者 桜井 貴康

東京都世田谷区宮坂2-21-15

(72)発明者 川口 博

千葉県船橋市藤原7-8-8-205

(72)発明者 野瀬 浩一

埼玉県三郷市東町206

(74)代理人 100059258

弁理士 杉村 晓秀 (外2名)

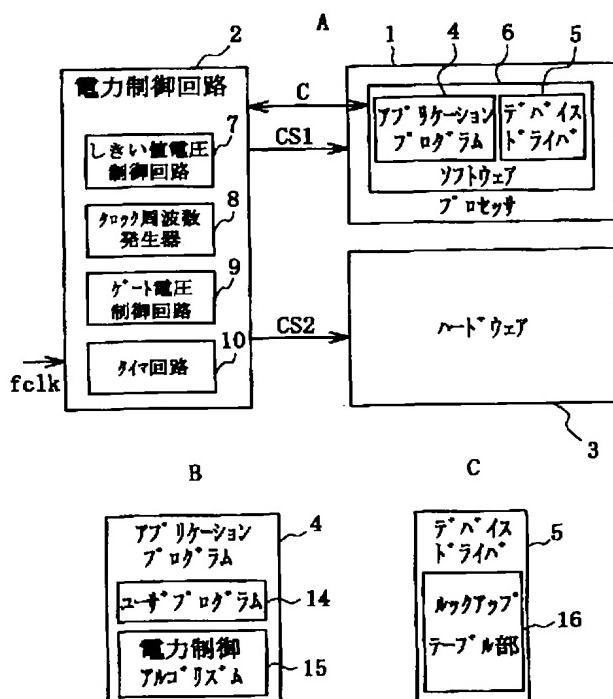
最終頁に続く

(54)【発明の名称】電力制御装置及び方法並びに電力制御プログラムを記録した記録媒体

(57)【要約】

【課題】 CMOS半導体回路の実時間処理を最適な消費電力で行う。

【解決手段】 しきい値電圧制御回路7は、ハードウェア3に含まれるCMOS半導体回路のNMOS素子及びPMOS素子のしきい値電圧をそれぞれ制御する。プロセッサ1は、2以上の動作速度に対応する2以上のモードに従ってしきい値電圧を動的に制御するよう電圧制御回路2にソフトウェアによってコマンドを送信する。



【特許請求の範囲】

【請求項1】 NMOS素子及びPMOS素子を有するCMOS半導体集積回路の電力を制御する電力制御装置であって、

前記NMOS素子及び／又はPMOS素子のしきい値電圧をそれぞれ制御するしきい値電圧制御手段と、
2以上の動作速度にそれぞれ対応する2以上のモードに従ってしきい値電圧を動的に制御するよう前記しきい値電圧制御手段にコマンドをソフトウェアによって送信するしきい値電圧設定手段とを具えることを特徴とする電力制御装置。

【請求項2】 前記モードが、前記NMOS素子のしきい値電圧を第1電圧とするとともに前記PMOS素子のしきい値電圧を第2電圧とした最も高速な第1動作速度モードと、前記NMOS素子のしきい値電圧を第3電圧とするとともに前記PMOS素子のしきい値電圧を第4電圧とした前記第1動作速度より低速の第2動作速度モードとを有し、前記第3電圧を前記第1電圧よりも高くし及び／又は前記第4電圧を前記第2電圧よりも低くしたことを特徴とする請求項1記載の電力制御装置。

【請求項3】 電源電圧を0.8V以下とし、前記NMOS素子のしきい値電圧の最小値を0.2V以下とし及び／又は前記PMOS素子のしきい値電圧の最大値を0.2V以上としたことを特徴とする請求項1又は2記載の電力制御装置。

【請求項4】 前記しきい値電圧制御手段が、前記NMOS素子及び／又はPMOS素子の基板電圧をそれぞれ制御する基板電圧制御手段を有し、
前記しきい値電圧設定手段が、前記2以上の動作速度及び待機状態に対応する3以上のモードに従って基板電圧を動的に制御するよう前記基板電圧制御手段にコマンドを送信する基板電圧設定手段を有することを特徴とする請求項1から3のうちのいずれか1項に記載の電力制御装置。

【請求項5】 前記第1動作速度モードにおいて、前記NMOS素子の基板電圧を第5電圧とするとともに前記PMOS素子の基板電圧を第6電圧とし、前記第2動作速度モードにおいて、前記NMOS素子の基板電圧を第7電圧とするとともに前記PMOS素子の基板電圧を第8電圧とし、前記第7電圧を前記第5電圧よりも低くし及び／又は前記第8電圧を前記第6電圧よりも高くしたことを特徴とする請求項4記載の電力制御装置。

【請求項6】 前記第5電圧を零より高くし及び／又は前記第6電圧を電源電圧よりも低くしたことを特徴とする請求項5記載の電力制御装置。

【請求項7】 前記しきい値電圧制御手段が、前記NMOS素子及び／又はPMOS素子のバックゲート電圧をそれぞれ制御するバックゲート電圧制御手段を有し、
前記しきい値電圧設定手段が、前記2以上の動作速度及び待機状態に対応する3以上のモードに従ってバックゲ

ート電圧を動的に制御するよう前記バックゲート電圧制御手段にコマンドを送信するバックゲート電圧設定手段を有することを特徴とする請求項1から3のうちのいずれか1項に記載の電力制御装置。

【請求項8】 前記第1動作速度モードにおいて、前記NMOS素子のバックゲート電圧を第9電圧とするとともに前記PMOS素子のバックゲート電圧を第10電圧とし、前記第2動作速度モードにおいて、前記第2動作速度前記NMOS素子のバックゲート電圧を第11電圧とするとともに前記PMOS素子のバックゲート電圧を第12電圧とし、前記第11電圧を前記第9電圧よりも低くし及び／又は前記第12電圧を前記第10電圧よりも高くしたことを特徴とする請求項7記載の電力制御装置。

【請求項9】 前記第9電圧を零より高くし及び／又は前記第10電圧を電源電圧よりも低くしたことを特徴とする請求項8記載の電力制御装置。

【請求項10】 前記CMOS半導体回路に直列接続した遮断NMOS素子及び／又は遮断PMOS素子のゲート電圧を制御するゲート電圧制御手段と、
待機状態に対応するモードにおいて、前記遮断NMOS素子及び／又は遮断PMOS素子のゲート電圧に負のバイアスをかけるよう前記ゲート電圧制御手段にコマンドを送信するゲート電圧設定手段とを更に具えることを特徴とする請求項1から9のうちのいずれか1項に記載の電力制御装置。

【請求項11】 前記CMOS半導体回路に直列接続した遮断NMOS素子及び／又は遮断PMOS素子のゲート電圧を制御するゲート電圧制御手段と、

前記第1動作速度モード及び第2動作速度モードにおいて、前記遮断NMOS素子及び／又は遮断PMOS素子のゲート電圧を電源電圧以上にバイアスをかけるよう前記ゲート電圧制御手段にコマンドを送信するゲート電圧設定手段とを更に具えることを特徴とする請求項1から9のうちのいずれか1項に記載の電力制御装置。

【請求項12】 NMOS素子及びPMOS素子を有するCMOS半導体集積回路を具えるプロセッサと、
そのNMOS素子及び／又はPMOS素子に可変のしきい値電圧を制御するしきい値電圧制御手段とを具え、

前記プロセッサが、割り当てられたシンクフレームを適切なタイムスロットに分割し、これらタイムスロットの各々について、リアルタイム制御を保証する時間を算出し、その時間内にタスクが終了するような値のうちの最小のものとなるように、前記プロセッサの動作を制御する可変のクロック周波数を決定し、そのクロック周波数に基づいて前記しきい値電圧を決定するしきい値電圧決定手段を有することを特徴とする電力制御装置。

【請求項13】 nを自然数とし、kをn未満の自然数とした場合、前記クロック周波数を、所定の周波数のk/n倍としたことを特徴とする請求項12記載の電力制

御装置。

【請求項 1 4】 前記プロセッサが、前記しきい値電圧設定手段が前記しきい値を最適化するための関係を参照可能な独立した参照手段を有することを特徴とする請求項 1 2 又は 1 3 記載の電力制御装置。

【請求項 1 5】 前記関係を前記しきい値電圧及びクロック周波数に応じて決定したことを特徴とする請求項 1 4 記載の電力制御装置。

【請求項 1 6】 前記しきい値電圧決定手段が、前記プロセッサから送信されるコマンドに応答して前記しきい値電圧を決定するように構成したことを特徴とする請求項 1 2 から 1 5 のうちのいずれか 1 項に記載の電力制御装置。

【請求項 1 7】 しきい値電圧を最適化する電力制御方法であって、

割り当てられたシンクフレームを適切なタイムスロットに分割し、これらタイムスロットの各々について、リアルタイム制御を保証する時間を算出し、その時間内にタスクが終了するような値のうちの最小のものとなるように、前記プロセッサの動作を制御する可変のクロック周波数を決定し、そのクロック周波数に基づいて前記しきい値電圧を決定するしきい値電圧決定ステップを有することを特徴とする電力制御方法。

【請求項 1 8】 しきい値電圧を最適化する電力制御プログラムを記録した記録媒体であって、

割り当てられたシンクフレームを適切なタイムスロットに分割し、これらタイムスロットの各々について、リアルタイム制御を保証する時間を算出し、その時間内にタスクが終了するような値のうちの最小のものとなるように、前記プロセッサの動作を制御する可変のクロック周波数を決定し、そのクロック周波数に基づいて前記しきい値電圧を決定することを特徴とする電力制御プログラムを記録した記録媒体。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、CMOS 半導体回路の電力制御を行う電力制御装置及び方法並びに電力制御プログラムを記録した記録媒体に関するものである。

【0 0 0 2】

【従来の技術】 バッテリ駆動の携帯機器（例えば、携帯電話、携帯オーディオ、携帯ビデオ、ノートブックパソコン、PDA(Personal Digital Assistants)）、マイクロプロセッサ、一般的なデジタルハードウェア及びシステム等が具える CMOS 半導体回路は、一般に電源電圧の二乗に比例する電力を消費する。

【0 0 0 3】 電源電圧を低減させることによって CMOS 半導体回路の消費電力を低下させることができるが、これに伴って回路速度も低下する。このような回路速度の低下を抑制するために、CMOS 半導体回路を構成する MOS 素子のしきい値電圧も同様に低下させている。

【0 0 0 4】 しかしながら、しきい値電圧を低下させることによって、回路の漏れ電流が増大し、電源電圧が 0.8V 以下である将来の環境においては、このような漏れ電流の影響が大きくなる。

【0 0 0 5】 このような不都合を回避するために、IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 31, NO. 11, NOVEMBER 1996 では、図 8 に示すように、MOS 素子で構成される CMOS 半導体回路 101 に対するしきい値電圧制御回路 102 を提案している。

【0 0 0 6】 このしきい値電圧制御回路 102 は、温度検知回路 103 と、電源電圧変化検知回路 104 と、製造ばらつき検知回路 105 と、基板電圧制御回路 106 と、基板電圧発生回路 107 を具える。

【0 0 0 7】 温度検知回路 103 は、温度 T1 についての情報を有する信号が入力されるとともに、それに応じた信号を基板電圧制御回路 106 に出力する。電源電圧変化検知回路 104 は、電源電圧変化 S1 についての情報を有する信号が入力されるとともに、それに応じた信号を基板電圧制御回路 106 に出力する。製造ばらつき検知回路 105 は、製造ばらつき M1 についての情報を有する信号が入力されるとともに、それに応じた信号を基板電圧制御回路 106 に出力する。

【0 0 0 8】 基板電圧制御回路 106 には待機信号 W1 も入力される。基板電圧制御回路 106 は、入力された信号に基づいて、基板電圧発生回路 107 を制御するための信号を出力する。

【0 0 0 9】 基板電圧発生回路 107 は、CMOS 半導体回路 101 の MOS 素子の基板端子の電圧を加減して、MOS 素子自体のしきい値電圧を動作時と待機時との 2 モードにおいて加減する。これによって、待機時の漏れ電流による電力損失が抑制される。

【0 0 1 0】 IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 31, NO. 11, NOVEMBER 1996 には、図 9 に示すような MOS 素子で構成される CMOS 半導体回路 201 に対するしきい値電圧制御回路 202 も提案している。

【0 0 1 1】 このしきい値電圧制御回路 202 は、温度検知回路 203 と、電源電圧変化検知回路 204 と、製造ばらつき検知回路 205 と、バックゲート電圧制御回路 206 と、バックゲート電圧発生回路 207 を具える。

【0 0 1 2】 温度検知回路 203 は、温度 T2 についての情報を有する信号が入力されるとともに、それに応じた信号をバックゲート電圧制御回路 206 に出力する。電源電圧変化検知回路 204 は、電源電圧変化 S2 についての情報を有する信号が入力されるとともに、それに応じた信号をバックゲート電圧制御回路 206 に出力する。製造ばらつき検知回路 205 は、製造ばらつき M2 についての情報を有する信号が入力されるとともに、それに応じた信号をバックゲート電圧制御回路 206 に出力する。

【0013】バックゲート電圧制御回路206には待機信号W2も入力される。バックゲート電圧制御回路206は、入力された信号に基づいて、バックゲート電圧発生回路207を制御するための信号を出力する。

【0014】バックゲート電圧発生回路207は、バックゲート電圧を制御することによって、待機時の漏れ電流による電力損失を抑制する。

【0015】一方、ACM/IEEE Proceedings of International Symposium on Low Power Electronics and Design, Aug. 1998には、図10に示すようなMOS素子で構成されるCMOS半導体回路301に対するしきい値電圧制御回路302を提案している。

【0016】このしきい値電圧制御回路302は、基板又はバックゲートバイアスを利用してMOS素子のしきい値電圧を加減することによって、動作時のしきい値電圧の最適化を行うものであり、しきい値電圧制御された遅延線303を有する閉ループ制御機構によって、制約時間内に回路動作を完了できる範囲内でMOS素子のしきい値電圧をできるだけ大きくするようしている。これによって、動作時の漏れ電流による消費電力を低減させることができる。

【0017】この場合、遅延線303を伝送する信号と外部クロックECとの間の遅延差は、遅延ばらつき検知回路304によって検知され、これによって、基板又はバックゲート電圧発生回路305及び306は、温度、電源電圧変化、製造ばらつき等に対しても効果的にハードウェアによるしきい値電圧制御を行う。

【0018】

【発明が解決しようとする課題】しかしながら、図8及び9に示したしきい値電圧制御回路102及び202の場合、待機信号W1及びW2に同期してしきい値電圧を変化させていているので、CMOS半導体回路101及び201を動作させるモード及びそれを待機させるモードにしか対応することができない。すなわち、動作速度に応じてしきい値電圧を変化させていない。その結果、実時間処理を最適な消費電力で行うことができない。

【0019】また、待機時に基板又はバックゲートバイアスを負にすることによって、MOS素子のしきい値電圧を上昇させ、これによって漏れ電流を抑制しているが、実際にはMOS素子の信頼性上の理由から、十分な負バイアスを印加することができず、その結果、待機時に十分に漏れ電流を抑制することができない。

【0020】さらに、図10に示すしきい値電圧制御回路302の場合、しきい値電圧制御された遅延線303を伝送する信号の速度が変化するために、CMOS半導体回路301の製造工程技術が変更される度にハードウェアの再設計が必要となる。この場合、ソフトウェアによる制御が不可能であるため、柔軟性がない。

【0021】本発明の目的は、実時間処理を最適な消費電力で行う電力制御装置及び方法並びに電力制御プログ

ラムを記録した記録媒体を提供することである。

【0022】本発明の他の目的は、待機時に十分に漏れ電流を抑制する電力制御装置及び方法並びに電力制御プログラムを記録した記録媒体を提供することである。

【0023】本発明の他の目的は、CMOS半導体回路の製造工程技術が変更されてもハードウェアの再設計を必要としない電力制御装置及び方法並びに電力制御プログラムを記録した記録媒体を提供することである。

【0024】

【課題を解決するための手段】本発明の電力制御装置は、NMOS素子及びPMOS素子を有するCMOS半導体集積回路の電力を制御する電力制御装置であって、前記NMOS素子及び／又はPMOS素子のしきい値電圧をそれぞれ制御するしきい値電圧制御手段と、2以上の動作速度にそれぞれ対応する2以上のモードに従ってしきい値電圧を動的に制御するよう前記しきい値電圧制御手段にコマンドをソフトウェアによって送信するしきい値電圧設定手段とを具えることを特徴とするものである。

【0025】本発明によれば、2以上の動作速度にそれぞれ対応する2以上のモードに従ってしきい値電圧を動的に制御するようしきい値電圧制御手段にコマンドをソフトウェアによって送信するので、実時間処理を最適な消費電力で行うことができる。

【0026】さらに、しきい値電圧設定手段をソフトウェア上で実現することができるので、CMOS半導体回路の製造工程技術が変更されてもハードウェアの再設計を必要としない。

【0027】例えば、前記モードが、前記NMOS素子のしきい値電圧を第1電圧とともに前記PMOS素子のしきい値電圧を第2電圧とした最も高速な第1動作速度モードと、前記NMOS素子のしきい値電圧を第3電圧とともに前記PMOS素子のしきい値電圧を第4電圧とした前記第1動作速度より低速の第2動作速度モードとを有し、前記第3電圧を前記第1電圧よりも高くし及び／又は前記第4電圧を前記第2電圧よりも低くする。さらに、待機時には、前記NMOS素子のしきい値電圧を第3電圧よりも高くし、かつ、前記PMOS素子のしきい値電圧を第4電圧よりも低くする。なお、第2動作速度より低速の第3動作速度モードなどを有してもよい。

【0028】好適には、電源電圧を0.8V以下とし、前記NMOSトランジスタのしきい値電圧の最小値を0.2V以下とし及び／又は前記PMOSトランジスタのしきい値電圧の最大値を-0.2V以上とする。これによって、しきい値電圧の動的な制御が良好に行われる。

【0029】前記しきい値電圧制御手段が、前記NMOS素子及び／又はPMOS素子の基板電圧をそれぞれ制御する基板電圧制御手段を有し、前記しきい値電圧設定

手段が、前記 2 以上の動作速度及び待機状態に対応する 3 以上のモードに従って基板電圧を動的に制御するよう前記基板電圧制御手段にコマンドを送信する基板電圧設定手段を有してもよい。

【0030】この場合、例えば、前記第 1 動作速度モードにおいて、前記 NMOS 素子の基板電圧を第 5 電圧とともに前記 PMOS 素子の基板電圧を第 6 電圧とし、前記第 2 動作速度モードにおいて、前記 NMOS 素子の基板電圧を第 7 電圧とともに前記 PMOS 素子の基板電圧を第 8 電圧とし、前記第 7 電圧を前記第 5 電圧よりも低くし及び／又は前記第 8 電圧を前記第 6 電圧よりも高くする。

【0031】好適には、前記第 5 電圧を零より高くし及び／又は前記第 6 電圧を電源電圧より低くする。これによって、しきい値電圧の動的な制御が良好に行われる。

【0032】前記しきい値電圧制御手段が、前記 NMOS 素子及び／又は PMOS 素子のバックゲート電圧をそれぞれ制御するバックゲート電圧制御手段を有し、前記しきい値電圧設定手段が、前記 2 以上の動作速度及び待機状態に対応する 3 以上のモードに従ってバックゲート電圧を動的に制御するよう前記バックゲート電圧制御手段にコマンドを送信するバックゲート電圧設定手段を有してもよい。

【0033】この場合、例えば、前記第 1 動作速度モードにおいて、前記 NMOS 素子のバックゲート電圧を第 9 電圧とともに前記 PMOS 素子のバックゲート電圧を第 10 電圧とし、前記第 2 動作速度モードにおいて、前記 NMOS 素子のバックゲート電圧を第 11 電圧とともに前記 PMOS 素子のバックゲート電圧を第 12 電圧とし、前記第 11 電圧を前記第 9 電圧よりも低くし及び／又は前記第 12 電圧を前記第 10 電圧よりも高くする。

【0034】好適には、前記第 9 電圧を零より高くし及び／又は前記第 10 電圧を電源電圧より低くする。これによって、しきい値電圧の動的な制御が良好に行われる。

【0035】さらに好適には、前記 CMOS 半導体回路に直列接続した遮断 NMOS 素子及び／又は遮断 PMOS 素子のゲート電圧を制御するゲート電圧制御手段と、待機状態に対応するモードにおいて、前記遮断 NMOS 素子及び／又は遮断 PMOS 素子のゲート電圧に負のバイアスをかけるよう前記ゲート電圧制御手段にコマンドを送信するゲート電圧設定手段とを更に具える。これによって、待機時に十分に漏れ電流を抑制することができる。

【0036】更に好適には、前記 CMOS 半導体回路に直列接続した遮断 NMOS 素子及び／又は遮断 PMOS 素子のゲート電圧を制御するゲート電圧制御手段と、前記第 1 動作速度モード及び第 2 動作速度モードにおいて、前記遮断 NMOS 素子及び／又は遮断 PMOS 素子

のゲート電圧を電源電圧以上にバイアスをかけるよう前記ゲート電圧制御手段にコマンドを送信するゲート電圧設定手段とを更に具える。これによって、第 1 動作速度モード及び第 2 動作速度モードにおける遮断 NMOS 素子及び／又は遮断 PMOS 素子のゲート電圧の制御を良好に行うことができる。

【0037】本発明による他の電力制御装置は、NMOS 素子及び PMOS 素子を有する CMOS 半導体集積回路を具えるプロセッサと、その NMOS 素子及び／又は PMOS 素子に可変のしきい値電圧を制御するしきい値電圧制御手段とを具え、前記プロセッサが、割り当てられたシンクフレームを適切なタイムスロットに分割し、これらタイムスロットの各々について、リアルタイム制御を保証する時間を算出し、その時間内にタスクが終了するような値のうちの最小のものとなるように、前記プロセッサの動作を制御する可変のクロック周波数を決定し、そのクロック周波数に基づいて前記しきい値電圧を決定するしきい値電圧決定手段を有することを特徴とする電力制御装置。

【0038】本発明によれば、リアルタイム制御を保証する時間内にタスクが終了するような値のうちの最小のものとなるように、プロセッサの動作を制御する可変のクロック周波数を決定し、そのクロック周波数に基づいてしきい値電圧を決定するので、しきい値電圧の最適化の効率が向上し、その結果、消費電力の最小化を適切に行うことができる。また、制約時間内で演算が終了することが保証されているので、リアルタイムアプリケーションに適用することができる。

【0039】好適には、n を自然数とし、k を n 未満の自然数とした場合、前記クロック周波数を、所定の周波数の k / n 倍とする。このように所定の周波数の k / n 倍のクロック周波数を生成することによって、複雑なインターフェース回路を必要とせずに外部デバイスとのデータのやりとりを容易に行うことができる。

【0040】好適には、前記プロセッサが、前記しきい値電圧設定手段が前記しきい値を最適化するための関係を参照可能な独立した参照手段を有する。このような参照手段が独立しており、すなわち、ハードウェア又はアプリケーションプログラムに実装されていないので、プロセス技術が変更する度にハードウェアの再設計やソフトウェアの再プログラミングを必要としない。

【0041】さらに好適には、前記関係を前記しきい値電圧及びクロック周波数に応じて決定する。これによって、しきい値電圧の最適化の効率が向上し、その結果、消費電力の最小化を適切に行うことができ、かつ、リアルタイムアプリケーションへの適用が可能になる。

【0042】さらに好適には、前記しきい値電圧決定手段が、前記プロセッサから送信されるコマンドに応答して前記しきい値電圧を決定するように構成する。これによって、しきい値電圧の最適化の効率が更に向かし、そ

の結果、消費電力の最小化を更に適切に行うことができる。

【0043】本発明による電力制御方法は、しきい値電圧を最適化する電力制御方法であって、割り当てられたシンクフレームを適切なタイムスロットに分割し、これらタイムスロットの各々について、リアルタイム制御を保証する時間を算出し、その時間内にタスクが終了するような値のうちの最小のものとなるように、前記プロセッサの動作を制御する可変のクロック周波数を決定し、そのクロック周波数に基づいて前記しきい値電圧を決定するしきい値電圧決定ステップを有することを特徴とするものである。

【0044】本発明による電力制御方法よれば、しきい値電圧の最適化の効率が向上し、その結果、消費電力の最小化を適切に行うことができ、かつ、リアルタイムアプリケーションへの適用が可能になる。

【0045】本発明による電力制御プログラムを記録した記録媒体は、しきい値電圧を最適化する電力制御プログラムを記録した記録媒体であって、割り当てられたシンクフレームを適切なタイムスロットに分割し、これらタイムスロットの各々について、リアルタイム制御を保証する時間を算出し、その時間内にタスクが終了するような値のうちの最小のものとなるように、前記プロセッサの動作を制御する可変のクロック周波数を決定し、そのクロック周波数に基づいて前記しきい値電圧を決定することを特徴とする。

【0046】本発明による電力制御を記録した記録媒体よれば、しきい値電圧の最適化の効率が向上し、その結果、消費電力の最小化を適切に行うことができ、かつ、リアルタイムアプリケーションへの適用が可能になる。

【0047】

【発明の実施の形態】本発明による電力制御装置及び方法並びに電力制御プログラムを記録した記録媒体の実施の形態を、図面を参照して詳細に説明する。図面中、同一バーツには同一符号を付すものとし、簡潔のためにバーツの一部を省略する場合もある。

【0048】図1は、本発明による電力制御装置を示す図である。この電力制御装置は、図1Aに示すようにプロセッサ（ハードウェア）1と、電力制御回路2と、この電力制御回路2によってしきい値電圧制御されるハードウェア3とを構成する。このプロセッサ1は、アプリケーションプログラム4及びデバイスドライバ5を有するソフトウェア6がインストールされ、図1では示さないI/Oポートを通じて簡単なコマンドCを電力制御回路2との間でやりとりし、プロセッサ1及びハードウェア3の内部クロック周波数及びしきい値電圧を制御する制御信号CS1及びCS2を出力する。なお、プロセッサ1自体もしきい値電圧制御される。

【0049】このために、電力制御回路2は、しきい値電圧制御回路7と、クロック周波数発生器8と、ゲート

電圧制御回路9と、タイマ回路10とを有する。しきい値電圧制御回路7は、基準となる外部クロックfclkに基づいて可変基板（バックゲート）電圧Vbn、Vbpを生成し、プロセッサ1及びハードウェア3に供給する。クロック周波数発生器8は、外部クロックfclkのk/n倍（nを自然数とし、kをn未満の自然数とする。）となる可変周波数fvarを生成し、その可変周波数fvarをプロセッサ1及びハードウェア3に供給する。外部クロックfclkをそのように設定することによって、外部デバイスとのデータのやりとりが容易となる。なお、可変基板（バックゲート）電圧Vbn、Vbpは、後に説明するように可変周波数fvarに応じて設定される。

【0050】ゲート電圧制御回路9は、プロセッサ1から待機コマンドが出力された場合、図2に示すようなCMOS半導体回路11に直列接続した遮断N MOS素子12及び遮断PMOS素子13のゲート電圧Vgn、Vgpを負にバイアスをかけることによって、完全に漏れ電流を遮断させる。タイマ回路10は、後に説明するようなりアルタイム処理を行う際に使用される。

【0051】例えば、遮断N MOS素子12のゲート電圧の最低値を負の値とし及び／又は遮断PMOS素子13のゲート電圧の最高値を電源電圧以上とするとともに、遮断N MOS素子12のゲート電圧の最高値を電源電圧以上とし及び／又は遮断PMOS素子13のゲート電圧の最低値を負の値とする。なお、図2には、遮断N MOS素子12のソースに基準電圧Vss（例えばアース）を接続し、遮断PMOS素子13のソースに電源電圧Vddが接続していることを示す。

【0052】アプリケーションプログラム4は、図1Bに示すようにユーザプログラム14及び電力制御アルゴリズム15を有する。ユーザプログラム14は、設計者によって任意にプログラムされ、電力制御アルゴリズム15は、2以上の動作速度及び待機状態に対応する3以上のモードに従ってしきい値電圧を動的に制御するようしきい値電圧制御回路7にコマンドを送信する（電力制御アルゴリズム15の構成及びコマンドの送信については後に説明する。）。

【0053】デバイスドライバ5は、図1Cに示すように可変基板（バックゲート）電圧Vbn、Vbpを最適化するための参照可能な関係（ルックアップテーブル）を有する。このデバイスドライバ5は独立しており、すなわち、プロセッサ1、ハードウェア3又はアプリケーションプログラム4に実装されていない。

【0054】本実施の形態では、基板バイアス（Vbn-Vss、Vdd-Vbp）を、最高の動作速度モードである外部クロックfclkのときに零とし、動作速度を低下させるに従って減少させ、待機モードでは負の最小値になるとともに、遮断N MOS12のゲート電圧を最低値とし及び／又は遮断PMOS素子13のゲート電圧を最高値とする。このようにモードを設定することによって、待

機時に漏れ電流を十分に遮断することができる。なお、V_{ss}は基準電圧を表し、V_{dd}を電源電圧とする。また、製造コストの観点から、動作速度モードの数を2又は3とするのが好適である。

【0055】なお、基板バイアスを、最高の動作モードにおいて正の最大値とし、動作速度を低下させるに従つて減少させ、待機モードでは零にしてもよい。このようにモードを設定することによって、CMOS半導体回路11のNMOS素子(NMOSトランジスタ)11a及びPMOS素子(PMOSトランジスタ)11bの耐圧信頼性が向上し、基板効果(基板定数)が大きくなる。

【0056】例えば、電源電圧V_{dd}を0.8V以下とし、NMOS素子11aのしきい値電圧の最小値を0.2V以下とし及び/又はPMOS素子11bのしきい値電圧の最大値を-0.2V以上とする。

【0057】可変基板(バックゲート)電圧V_b_n、V_b_pは、電力制御回路2の外又は内から独立して同時に供給され、NMOS素子11a及びPMOS素子11bの制御は、独立した電源のうちの1個に接続することによって行われる。

【0058】図3は、電力制御アルゴリズムを詳細に示す図である。この電力制御アルゴリズム12は、可変クロック周波数f_{var}及び可変基板(バックゲート)電圧V_b_n、V_b_pを算出するステップS1と、可変クロック周波数f_{var}及び可変基板(バックゲート)電圧V_b_n、V_b_pを適用するステップS2と、主プログラムを実行するステップS3と、プロセッサのアイドリングを行うステップS4とを具える。

【0059】大抵のリアルタイムアプリケーションでは一定時間中に一定量のタスクを実行する必要がある。この一定時間をsync frame(シンクフレーム)と定義すると、各sync frameは複数のタイムスロット(各タイムスロットの長さを、例えばワーカコードに応じて決定する。)に分割されている。各タイムスロットにおいて、リアルタイム処理を保証するターゲット実行時間T_{tar}を算出する。可変クロック周波数f_{var}を、そのターゲット実行時間T_{tar}内にタスクが終了するような値のうちの最小のものに決定する。

【0060】この際、ルックアップテーブル部16(図1C)が有する可変クロック周波数f_{var}及び可変基板(バックゲート)電圧V_b_n、V_b_pの関係を示したルックアップテーブル(これについては後に説明する。)を利用する。なお、逐次アプリケーションの場合には、任意の時刻に任意の可変クロック周波数f_{var}を設定すればよい。

【0061】また、ステップS1～S3はタイムスロットごとに実行され、ステップS1～S4はsync frameごとに実行される。

【0062】図4は、ルックアップテーブル部を詳細に示す図である。このルックアップテーブル部16は、可

変クロック周波数f_{var}及び可変基板(バックゲート)電圧V_b_n、V_b_pの関係を有するルックアップテーブル16aと、可変クロック周波数f_{var}の変化及び電力制御回路2(図1)の過渡遅延T_{td}との関係を有するルックアップテーブル16bとを有する。これらルックアップテーブル16a及び16bのパラメータ、すなわち、可変クロック周波数f_{var}、可変基板(バックゲート)電圧V_b_n、V_b_p、可変クロック周波数f_{var}の変化及び過渡遅延T_{td}は、プロセッサ1及び電力制御回路2(共に図1)を実際に計測することによって求められる。

【0063】本発明による電力制御装置を更に詳細に説明する。図5は、可変クロック周波数f_{var}及び可変基板(バックゲート)電圧V_b_n、V_b_pを算出するステップS1を説明するための図である。図5Aにおいて、プロセッサ1には、アプリケーションプログラム3の他に、I/Oポート17を示し、電子制御回路2には、タイマ回路10の他に、論理制御18を示す。

【0064】可変クロック周波数f_{var}及び可変基板(バックゲート)電圧V_b_n、V_b_pを算出するに当たり、先ず、アプリケーションプログラム4は、I/Oポート17及び制御論理18を経て読み出し信号R_iをタイマ10に送信し、タイマ10から制御論理18及びI/Oポート17を経て現在の時間T_{ci}(iを自然数とする。)を読み出す。

【0065】次いで、現在のタイムスロットiにおけるターゲットタイムT_{tar}及びシンクフレームのワーストケースT_{fi}を算出する。これらターゲットタイムT_{tar}及びシンクフレームのワーストケースT_{fi}をそれぞれ、f_iをi番目のタイムスロットにおける可変クロック周波数f_{var}とし、各タイムスロットの長さをT_{si}とすると、図5Bに示すように、

【0066】

【数1】

$$T_{tar} = \sum T_{sj} - T_{ci}$$

$$T_{fi} = T_{td} + T_{si} (f_{clk} / f_i)$$

として算出する。なお、可変クロック周波数f_iが1個前すなわちi-1番目のタイムスロットから変化しない場合、過渡遅延T_{td}は存在しない(例えば、図5Bに示すようなT_{fi})。

【0067】算出されたシンクフレームT_{fi}がターゲットタイムT_{tar}を超えない最小の可変クロック周波数f_iが可変クロック周波数f_{var}と決定される。なお、可変クロック周波数f_{var}は、既に説明したように外部クロック周波数f_{clk}のk/n倍(nを自然数とし、kをn未満の自然数とする。)となる。可変基板(バックゲート)電圧V_b_n、V_b_pは、ルックアップテーブル10a(図4)を参照することによって決定される。

【0068】図6は、可変クロック周波数f_{var}及び可

変基板（バックゲート）電圧 V_{bn} , V_{bp} を適用するステップ S 2 を説明するための図である。図 6 Aにおいて、プロセッサ 1 には、アプリケーションプログラム 4 及び I/O ポート 17 の他に、割込みピン 19 及びオンチップクロック周波数 $f_{on-chip}$ を生成する位相同期ループ（PLL）20 も示す。また、電子制御回路 2 には、タイマ回路 10 及び制御論理 18 の他に、クロック周波数発生器 8 及び DC-DC コンバータ 22 も示す。図 6 Bにおいて、三つのグラフの縦軸はそれぞれ、基板バイアス $V_{bn}-V_{ss}$, $V_{dd}-V_{bp}$ 、可変クロック周波数 f_{var} 及びオンチップクロック周波数 $f_{on-chip}$ を表し、その横軸は全て時間を表す。

【0069】ステップ S 1 で算出した可変クロック周波数 f_{var} 、可変基板（バックゲート）電圧 V_{bn} , V_{bp} 及び過渡遅延 T_{td} を生成するような信号は、I/O ポート 17 を通じて制御論理 18 に供給される。制御論理 18 は、割込みピン 19 を通じて割込み信号 INT を送信してプロセッサ 1 をホールドするとともに、可変クロック周波数 f_{var} 、可変基板（バックゲート）電圧 V_{bn} , V_{bp} 及び過渡遅延 T_{td} を生成するような信号を、クロック周波数発生器 8、DC-DC コンバータ 22 及びタイマ回路 10 に供給する。これらの動作は、図 6 B の時間 t_1 で行われる。

【0070】その後、時間 t_2 で、クロック周波数発生器 8 が可変クロック周波数 f_{var} をハードウェア 3 及び PLL 20 に供給し、時間 t_3 で、PLL 20 がオンチップクロック周波数 $f_{on-chip}$ を生成し、時間 t_4 で、DC-DC コンバータ 22 が可変基板（バックゲート）電圧 V_{bn} , V_{bp} をプロセッサ 1 及びハードウェア 3 に供給する。

【0071】時間 t_1 から過渡遅延 T_{td} 経過後の時間 t_5 で、タイマ回路 10 は制御論理 18 に終了信号 F を供給し、制御論理 18 は、それに応答して割込みピン 19 に実行信号 RUN を供給し、プロセッサ 1 のホールドを解除する。

【0072】図 7 は、プロセッサのアイドリングを行うステップ S 4 を説明するための図である。図 7 Aにおいて、プロセッサ 1 には、アプリケーションプログラム 4、I/O ポート 17 及び割込みピン 19 のみを示す。図 7 Cにおいて、二つのグラフの縦軸はそれぞれ可変クロック周波数 f_{var} 及び可変基板（バックゲート）電圧 V_{bn} , V_{bp} を表し、その横軸は全て時間を表す。

【0073】各 sync frame における実際のシンクフレーム T_{exe} は、図 7 B に示すように、算出されたシンクフレーム T_{fi} （図 7 B では T_{f2} について示す。）よりも小さいので、sync frame 終了部分には図 7 B で斜線で示すアイドリングタイム T_{nop} が存在する。この場合、プロセッサ 1 の内部データが消失するために可変電源電圧 V_{dd} を零にすることはできないが、可変クロック周波数 f_{var} を零にする（これを f_{no}

p で表す。）ことができる。これによって、アイドリングタイム T_{nop} での電力はほぼ零となり、消費電力を大幅に低減することができる。

【0074】具体的に説明すると、アプリケーションプログラム 4 は、アイドリングタイム T_{nop} 及び過渡遅延 T_{td} を生成する信号を、I/O ポート 17 を通じて制御論理 18 に供給する。制御論理 18 は、割込みピン 19 を通じて割込み信号 INT を送信してプロセッサ 1 をホールドし、アイドリングタイム T_{nop} 及び過渡遅延 T_{td} を生成する信号をタイマ回路 10 に供給するとともに、可変クロック周波数 f_{var} （この場合、 f_{nop} ）を生成する信号をクロック周波数発生器 8 に供給する。これらの動作は、図 7 C の時間 t_{11} で行われる。

【0075】その後、時間 t_{12} で、クロック周波数発生器 8 は可変クロック周波数 f_{var} （この場合、 f_{nop} ）をプロセッサ 1 に供給し、時間 t_{13} で、タイマ回路 10 は、アイドリングタイム T_{nop} が終了したことを表す終了信号 F1 を制御論理 18 に供給し、制御論理 18 は、可変クロック周波数 f_{var} を生成する信号をクロック周波数発生器 8 に供給するとともに、基板（バックゲート）電圧 V_{bn} , V_{bp} を生成する信号を DC-DC コンバータ 22 に供給する。

【0076】その後、時間 t_{14} で、周波数シンセサイザ 21 は可変クロック周波数 f_{var} をプロセッサ 1 及びハードウェア 3 に供給し、時間 t_{15} で、DC-DC コンバータ 22 は可変基板（バックゲート）電圧 V_{bn} , V_{bp} をプロセッサ 1 及びハードウェア 3 に供給する。

【0077】その後、時間 T_{16} で、タイマ回路 10 は、過渡遅延 T_{td} が終了したことを表す終了信号を制御論理 18 に供給し、制御論理 18 は、それに応答して割込みピン 19 に実行信号 RUN を供給し、プロセッサ 1 のホールドを解除する。

【0078】本実施の形態によれば、動的に変化する複数の動作速度に対して、しきい値電圧がソフトウェアファイードバックを利用してシンクフレームで最適化され、待機時に遮断 NMOS 素子 12 及び遮断 PMOS 素子 13 によって完全に漏れ電流を遮断するので、消費電力効率が向上する。このために、実時間アプリケーションへの適用が可能となる。

【0079】このようなソフトウェアによるしきい値制御によって、ハードウェアの再設計が不要となる。また、シンクフレームにしきい値電圧制御を行うことによって、バイナリコード互換性を実現できるので、旧式のターゲットプロセッサ用にコンパイルされたバイナリコードは、同一のインストラクションセットを有するプロセッサによってそのまま実行することができる。

【0080】プロセスを変更する場合でも、デバイスドライバの簡単な変更だけで十分であり、再プログラミングや再コンパイルを必要としない。また、しきい値電圧と周波数との関係のようなハードウェア 3 に依存する全

てのパラメータが、変更が容易であるデバイスドライバに実装されているので、電力制御回路2は、特定のハードウェアごとに再設計する必要がなく、任意のシステムにもそのまま適用することができる。

【0081】さらに、電力制御アルゴリズム15がプロセッサ1のソフトウェア6の上で実行されるので、電力制御回路2を、単純なハードウェアで実現することができ、かつ、容易に設計することができる。

【0082】本発明は、上記実施の形態に限定されるものではなく、幾多の変更及び変形が可能である。例えば、上記実施の形態で説明したプロセッサ1及び電力制御回路2を、当業者によって他の設計にすることもできる。

【0083】また、電力制御アルゴリズム15をアプリケーションプログラム4にインストールした場合について説明したが、アプリケーションプログラム4が記録された記録媒体（例えば、CD-ROM）からアプリケーションプログラム4を読み出すことによって電力制御を実行することもできる。

【図面の簡単な説明】

【図1】 本発明による電力制御装置を示す図である。

【図2】 図1の電力制御回路からの制御信号とハードウェアとの関係を示す図である。

【図3】 電力制御アルゴリズムを詳細に示す図である。

【図4】 ルックアップテーブル部を詳細に示す図である。

【図5】 可変クロック周波数 f_{var} 及び可変基板（バックゲート）電圧 V_{bn} , V_{bp} を算出するステップS1を説明するための図である。

【図6】 可変クロック周波数 f_{var} 及び可変基板（バックゲート）電圧 V_{bn} , V_{bp} を適用するステップS2を説明するための図である。

【図7】 プロセッサのアイドリングを行うステップS4を説明するための図である。

【図8】 電力制御装置の第1の従来例を示す図である。

【図9】 電力制御装置の第2の従来例を示す図である。

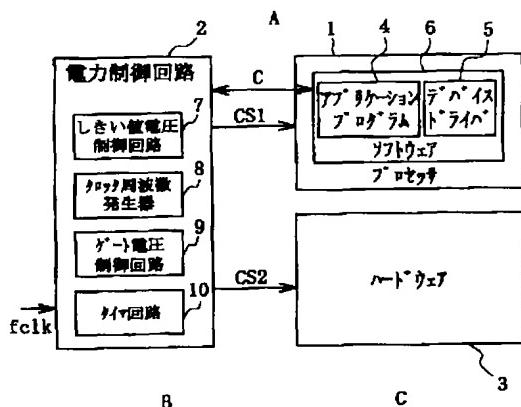
【図10】 電力制御装置の第3の従来例を示す図である。

【符号の説明】

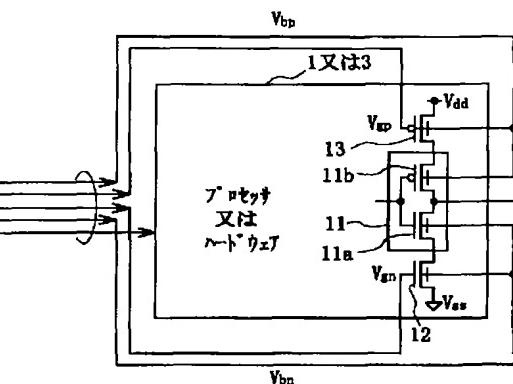
- 1 プロセッサ
- 2 電力制御回路
- 3 ハードウェア

- 4 アプリケーションプログラム
- 5 デバイスドライバ
- 6 ソフトウェア
- 7 しきい値電圧制御回路
- 8 クロック周波数発生器
- 9 ゲート電圧制御回路
- 10 タイマ回路
- 11, 101, 201, 301 CMOS半導体回路
- 11a NMOS素子
- 11b PMOS素子
- 12 遮断NMOS素子
- 13 遮断PMOS素子
- 14 ユーザプログラム
- 15 電力制御アルゴリズム
- 16 ルックアップテーブル部
- 16a, 16b ルックアップテーブル
- 17 I/Oポート
- 18 制御論理
- 19 割込みピン
- 20 PLL
- 22 DC-DCコンバータ
- 102, 202, 302 しきい値電圧制御回路
- 103, 203 溫度検知回路
- 104, 204 電源電圧変化検知回路
- 105, 205 製造ばらつき検知回路
- 106 基板電圧制御回路
- 107 基板電圧発生回路
- 206 バックゲート電圧制御回路
- 207 バックゲート電圧発生回路
- 303 遅延線
- 304 遅延ばらつき検知回路
- 305, 306 基板又はバックゲート電圧発生回路
- C コマンド
- CS1, CS2 制御信号
- E C 外部クロック
- f clk 外部クロック周波数
- f var 可変周波数
- I NT 割込み信号
- M1, M2 製造ばらつき
- S1, S2 電源電圧変化
- T1, T2 溫度
- W1, W2 待機信号
- Vbn, Vbp 可変基板（バックゲート）電圧
- Vdd 電源電圧
- Vss 基準電圧

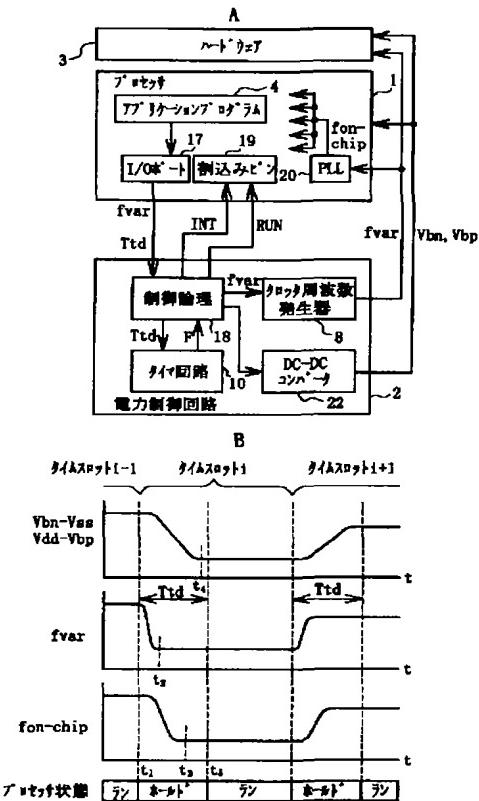
【図 1】



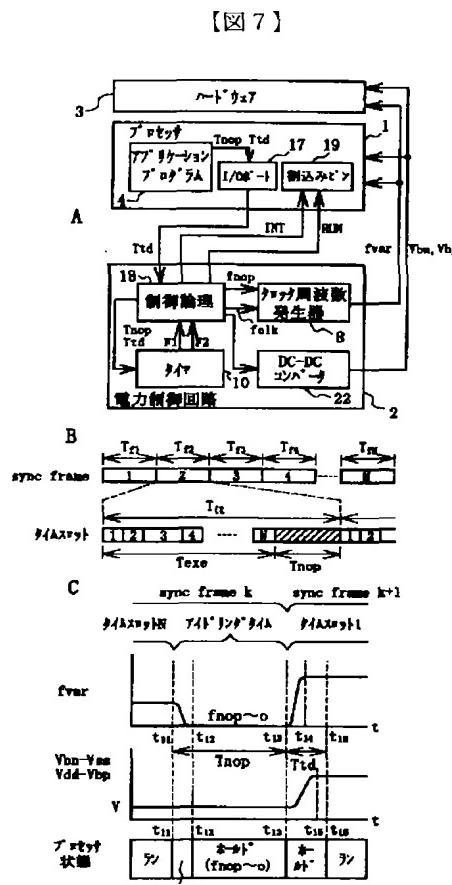
【図 2】



【図6】



〔四〕 10



【手綱補正書】

【提出日】平成13年2月15日(2001.2.1)

5)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】 0005

【補正方法】変更

【補正內容】

【0005】このような不都合を回避するために、Tada

hiro Kuroda, Tetsuya Fujita, Shinji Mita, Tetsu Nagamatsu, Shinichi Yoshioka, Kojiro Suzuki, Fumihi ko Sano, Masayuki Norishima, Masayuki Murota, Makoto Kako, Masaaki Kinugawa, Masakazu Kakumu, and Takayasu Sakurai, "A0.9-V, 150-MHz, 10-mW, 4 mm², 2-D Discrete Cosine Transform Core Processor with Variable Threshold-Voltage(VT) Scheme," IEEE JOURNAL OF SOLID-CIRCRITS, VOL. 31, NO. 11, PP. 1770-1779, N

OVEMBER 1996.では、図8に示すように、MOS素子で構成されるCMOS半導体回路101に対するしきい値電圧制御回路102を提案している。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】Tadahiro Kuroda, Tetsuya Fujita, Shinji Mita, Tetsu Nagamatsu, Shinichi Yoshioka, Kojiro Suzuki, Fumihiro Sano, Masayuki Norishima, Masayuki Murota, Makoto Kako, Masaaki Kinugawa, Masakazu Kakumu, and Takayasu Sakurai, "A 0.9-V, 150-MHz, 10-mW, 4 mm², 2-D Discrete Cosine Transform Core Processor with Variable Threshold-Voltage(VT) Scheme," IEEE JOURNAL OF SOLID-CIRCRITS, VOL. 31, NO. 11, P. 1770-1779, NOVEMBER 1996.には、図9に示すような

MOS素子で構成されるCMOS半導体回路201に対するしきい値電圧制御回路202も提案している。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】一方、Masayuki Miyazaki, Hiroyuki Mizuno, and Koichiro Ishibashi "A Delay Distribution Squeezing Scheme with Speed-Adaptive Threshold-Voltage CMOS(SA-Vt CMOS) for Low Voltage LSIs," Proceedings of ACM/IEEE International Symposium on Low Power Electronics and Design, pp48-53, 1988.図10に示すようなMOS素子で構成されるCMOS半導体回路301に対するしきい値電圧制御回路302も提案している。

フロントページの続き

Fターム(参考) 5F038 BB02 BB08 BB10 DF04 DF05
DF08 EZ10 EZ20
5F048 AB03 AB08 AB10 AC03 BB14
BB15
5H420 BB12 BB14 CC02 DD02 EA14
EA24 EA42 EA43 EB16 EB26
EB37 GG07 NA00 NB02 NB14
NB18 NB25 NB31 NB37 NC33
NC35 NE26